



INSTITUT TEKNOLOGI TELKOM SURABAYA
FAKULTAS TEKNIK ELEKTRO
PROGRAM STUDI S1-TEKNIK ELEKTRO

Kode Dokumen

RENCANA PEMBELAJARAN SEMESTER

MATA KULIAH (MK)	KODE	Rumpun MK	BOBOT (sks)		SEMESTER	Tgl Penyusunan
Praktikum Arsitektur Sistem Komputer	EEA3131	Organisasi dan arsitektur komputer	T=1	P=0	5	21 November 2018
OTORISASI	Pengembang RPS		Koordinator RMK		Ketua PRODI	
	Dimas Adiputra B.Sc., M.Phil.		Dimas Adiputra B.Sc., M.Phil.		Moch. Iskandar Riansyah, S.ST., M.T.	
Capaian Pembelajaran (CP)	CPL-PRODI					
	S08	Mampu menunjukkan sikap bertanggung jawab atas pekerjaan di bidang keahliannya secara mandiri				
	S09	Mampu menunjukkan internalisasi nilai, norma, dan etika akademik				
	KU01	mampu menerapkan pemikiran logis, kritis, sistematis, dan inovatif dalam konteks pengembangan atau implementasi ilmu pengetahuan dan teknologi yang memperhatikan dan menerapkan nilai humaniora yang sesuai dengan bidang keahliannya				
	KK02	mampu mendesain komponen, sistem dan atau proses dalam bidang teknik elektro				
	P02	mampu menerapkan pengetahuan dan praktikum fisika dan sains dasar lain yang sesuai dengan bidang teknik elektro				
	P04	mampu menerapkan pengetahuan inti (core knowledge) bidang teknik elektro termasuk rangkaian elektrik, sistem dan sinyal, sistem digital, elektromagnetik, dan elektronika				
	CPMK	Setelah perkuliahan mahasiswa mampu: CPMK-1 Mahasiswa mengenal Compiler GCC, Assembly Intel X86 (C2, P3) CPMK-2 Mahasiswa mengenal Pointer, Structure, Array (C2, P3) CPMK-3 Mahasiswa mengenal Instruction Set, Register, Memory, dan ALU (C2, P3) CPMK-4 Mahasiswa memahami konsep kerja CU, Top Level Design, Testbench (C2, P3, A4)				
Diskripsi Singkat MK	Tujuan yang ingin dicapai dalam praktikum ini adalah agar para mahasiswa dapat memahami tentang konsep kerja dari CU dan hubungan antar peripheral yang terkait dalam tiap prosesnya.					

Bahan Kajian / Materi Pembelajaran	<ol style="list-style-type: none"> 1. Pengetahuan dasar dari kumpulan instruksi 2. Arsitektur komputer 3. Organisasi komputer 					
Pustaka	<p>Utama :</p> <ol style="list-style-type: none"> 1. Stallings, William, Computer Organization and Architecture, 6th ed., Prentice Hall, Inc., 2003. 2. Hennessy, John L., & David A. Peterson, Computer Architecture, A Quantitative Approach, Morgan Kaufmann Inc., 1996. 3. Stephen Brown and Zvonko Vranesic. Fundamentals of Digital Logic with Verilog Design. McGraw-Hill. 2014. <p>Pendukung :</p> <ol style="list-style-type: none"> 1. Stephen Brown and Zvonko Vranesic. Fundamentals of Digital Logic with VHDL Design. McGraw-Hill. 2009. 2. Volnei A.Pedroni. Circuit Design with VHDL. MIT Press. 2004 					
Dosen Pengampu	Dimas Adiputra B.Sc., M.Phil.					
Assessment	Pengetahuan: Tes tulis (UTS, UAS) dan Penugasan (Latihan soal dan presentasi), Psikomotorik: Kinerja (Latihan simulasi, latihan soal, presentasi). Sikap: Observasi harian					
Matakuliah syarat	-					
Mg Ke-	Sub-CPMK (Kemampuan akhir tiap tahapan belajar)	Indikator Penilaian	Kriteria & Bentuk Penilaian	Bentuk, Metode Pembelajaran, dan Penugasan Mahasiswa [Media & Sumber belajar] [Estimasi Waktu]	Materi Pembelajaran [Pustaka]	Bobot Penilaian (%)
(1)	(2)	(3)	(4)	(5)	(6)	(7)
(1,2)	a. [C2,A2] Mahasiswa mengenal Compiler GCC, Assembly Intel X86	<ul style="list-style-type: none"> • Mahasiswa memahami bahasa C dan bahasa assembly 	ktek	Tutorial Diskusi Kelompok [TM: 2x(3x50'')]	[U1]: Hal 71-100 [U2]: Hal 34-63 <ul style="list-style-type: none"> • [U3] : Hal 91-110 	10%
(3,4)	[C2,A2] Mahasiswa mengenal Pointer, Structure, Array	<ul style="list-style-type: none"> • Mahasiswa dapat Memahami array, pointer, structure, operator bitwise 	<ul style="list-style-type: none"> • Praktek 	Tutorial Diskusi Kelompok [TM: 2x(3x50'')] <ul style="list-style-type: none"> • 	[U1]: Hal 115-135 [U2] : Hal 37-43 [U3] : Hal 87-99 a.	10%

(5,6,7)	[C3,A2] Mahasiswa membuat Instruction Set, Register, Memory, dan ALU	<ul style="list-style-type: none"> • Mahasiswa dapat membuat Instruction Memory, Data Memory, ALU dan Register dalam VHDL 	<ul style="list-style-type: none"> • Praktek 	Tutorial Diskusi Kelompok [TM: 2x(3x50'')]	<ul style="list-style-type: none"> • [U3] : Hal 13-37 [P1] : Hal 10-30 [P2]: Hal 21-42 	10%
(8,9,10)	[C3,A2] Mahasiswa membuat konsep kerja CU, Top Level Design, Testbench	<ul style="list-style-type: none"> • Mahasiswa dapat Membuat CU, top level design, testbench dalam VHDL 	<ul style="list-style-type: none"> • Praktek 	Tutorial Diskusi Kelompok M: 2x(3x50'')	<ul style="list-style-type: none"> • [U3] : Hal 40-49 [P1] : Hal 31-50 [P2]: Hal 45-61 	30%

Ketua Program Studi,

Dosen Pengembang RPS,

(Moch. Iskandar Riansyah, S.ST., M.T)

(Dimas Adiputra B.Sc., M.Phil.)